

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **08-213582**
 (43)Date of publication of application : **20.08.1996**

(51)Int.Cl.	H01L 27/146 H01L 21/265 H04N 1/19
-------------	--

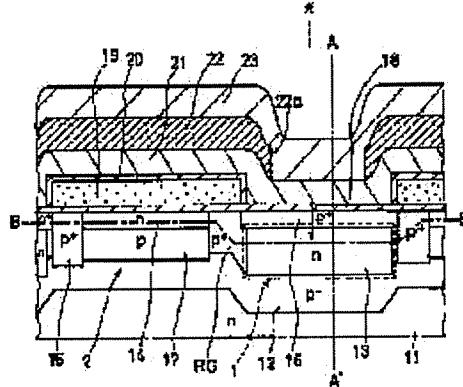
(21)Application number : 07-016167	(71)Applicant : SONY CORP
(22)Date of filing : 02.02.1995	(72)Inventor : ASAII ATSUSHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PURPOSE: To enable the full display of the functions of a buried region formed on a semiconductor substrate, simplify the production process and reduce the man-hours.

CONSTITUTION: A transfer channel region 14, a gate insulation film 18 and a transfer electrode 19 are formed on a silicon substrate 11 to fabricate a vertical transfer register 2, then a p-type impurity (B), for example, is implanted by a high energy ion implantation through the electrodes 19 and diffused to form buried well regions 12 which form overflow barriers against signal charges, and n-type impurity diffused regions 13 and p-type hole storage regions 16 are formed with the electrodes 19 used as a mask in a portion to form a photodetecting part 1.



LEGAL STATUS

[Date of request for examination] 16.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3341514

[Date of registration] 23.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特關平8-213582

(43)公開日 平成8年(1996)8月20日

(51) Int.Cl.
H 01 L 27/146
21/265
H 04 N 1/19

鑑別記号 廣內整復卷号

11

技術表示所

H01L 27/14

A
V

審査請求 未請求 試験場の数 7 OL (全 11 項) 順次更に拡大

(21) 附圖番號

特庸平7-16167

(22)出脚日

平成7年(1995)2月2日

(71)出席人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)发明者 钱井 泰

東京都品川区北品川6丁目7番35号 ソニービル内

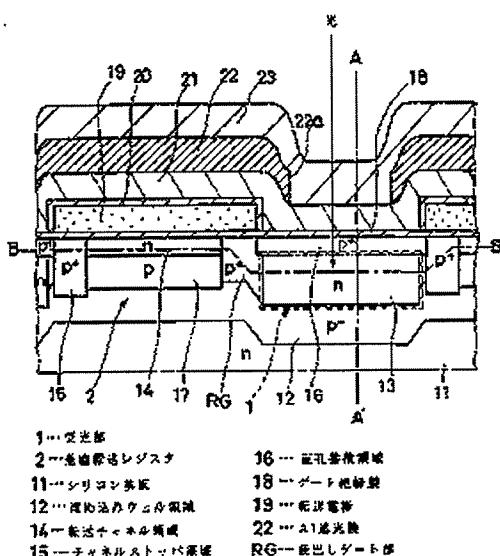
(74)代理人 奉理士 楊謹 秀發

(54) [発明の名称] 半導体基板及び半導体基板の製造方法

(57) 【要約】

【目的】 半導体基板中に形成される埋め込み領域の機能を十分に發揮させることができるようにし、しかも製造工程の簡略化及び工数削減を図る。

【構成】 シリコン基板11上に垂直転送レジスタ2を構成する転送チャネル領域14、ゲート絶縁膜18及び転送電極19を形成した後に、この転送電極19を通してシリコン基板11内に例えばp形の不純物（ポロン（B））を高エネルギーイオン注入により導入する。そして、この導入された不純物の拡散によって、信号電荷に対するオーバーフローバリアを構成する埋め込みウェル領域12を形成する。その後、転送電極19をマスクとして受光部1となる部分にn形の不純物拡散領域13及びp形の正孔蓄積領域16を形成する。



本件は個人の情報とモード別に登録されています

(2)

1

【特許請求の範囲】

【請求項 1】 半導体基板内に面方向に形成される埋め込み領域が深さ方向に変化を有することを特徴とする半導体装置。

【請求項 2】 上記埋め込み領域は、上記半導体基板上に形成される半導体素子のデバイス特性に対応して深さ方向に変化を有することを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 上記埋め込み領域は、蓄積期間に被写体からの入射光をその光路に応じた置の信号電荷に光電変換する受光部と、電荷転送期間に上記信号電荷を出力側に転送する電荷転送部と、読み出し期間に上記受光部に蓄積されている上記信号電荷を上記電荷転送部に転送する読み出しゲート部とを有する固体撮像素子における上記信号電荷に対するポテンシャルバリアとして機能するウェル領域であり、かつ深さ方向が各部に対応して異なることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 上記半導体素子が、蓄積期間に被写体からの入射光をその光路に応じた置の信号電荷に光電変換する受光部と、電荷転送期間に上記信号電荷を出力側に転送する電荷転送部と、読み出し期間に上記受光部に蓄積されている上記信号電荷を上記電荷転送部に転送する読み出しゲート部とを有する固体撮像素子であって、上記埋め込み領域が、上記信号電荷に対するポテンシャルバリアとして機能するウェル領域であり、かつ深さ方向が各部に対応して異なることを特徴とする請求項 2 記載の半導体装置。

【請求項 5】 上記受光部は、少なくとも上記ウェル領域を構成する上記埋め込み領域と該埋め込み領域から表面側に形成された第 1 導電形の不純物拡散領域との p-n 接合を有して構成され、

上記読み出しゲート部は、上記埋め込み領域から表面側に連続形成された別の第 2 導電形の不純物拡散領域にて構成され、

上記電荷転送部は、上記埋め込み領域から表面に上記連続形成された上記別の第 2 導電形の不純物拡散領域を介してその表面側に形成された第 1 導電形の不純物拡散領域を有して構成されていることを特徴とする請求項 3 又は 4 記載の半導体装置。

【請求項 6】 半導体基板上に半導体素子パターンを形

特開平 8-
2

上記電荷転送部上に形成される転送電極・め込み領域が、上記信号電荷に対するボアとして機能するウェル領域であること、請求項 6 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体導入された不純物の拡散による埋め込み領域及びその製造方法に関するもので、像素子における受光部とその周辺部分の好適なものである。

【0002】

【従来の技術】 一般に、半導体基板内に形成するケースとしては、例えば縦形 p 基板あるいは縦形 n-p-n トランジスタにおける抗の低減化を目的とする場合や、固体撮像素子受光部下に信号電荷に対するポテンシャルバリア（フルーバリア）を形成してブルーミング生を抑制するようにしている。

【0003】 従来において、半導体基板領域を形成する場合は、図 7 に示すように、01 上に形成される例えばゲート絶縁膜による酸化膜を形成する前に、まず、基板用の薄い酸化膜 102 を形成した後、イオン注入によるイオン注入にて不純物を基板し、その後、熱処理による活性化を行なう内に上記導入された不純物による不純物埋め込み領域 103 を形成するようにして、

【0004】 そして、例えば固体撮像素子場合は、図 8 に示すように、上記工程後、ドロップを用いて、必要な不純物、例えば不純物（リン（P）及びボロン（B））を注入や膜拡散等による導入及び熱処理によって、シリコン基板 101 中の上記埋め込みの表面側に、n 形の転送チャネル領域 11 ナルストップ領域 15 及び第 2 の p 形 6 を形成する。

【0005】 その後、転送チャネル領域は SiO₂ 等からなるゲート絶縁膜 107 後、多結晶シリコン層による転送電極 11

(3)

特開平8-
4

3

の不純物、例えばボロン（B）をイオン注入し、更に活性化してn形の不純物拡散領域110の表面にp形の正孔蓄積領域112を形成する。

【0007】その後、全面に層間絶縁膜であるPSG膜113を例えばCVD法により堆積する。その後、全面にA1遮光膜114を形成した後、例えば垂直モードによるRIE（反応性イオンエッチング）でA1遮光膜114をバーニングして受光部開口114aを形成する。

【0008】そして、A1遮光膜114を含む全面に裏面保護用のシリコン塗化膜115を例えばCVD法にて成膜する。このシリコン塗化膜115及び下層のPSG膜113にて受光部111上のバッシベーション膜が構成されることになる。上記製造工程を踏むことにより、従来の固体撮像素子が作製されることになる。なお、転送チャネル領域104と転送電極108にて垂直転送レジスタ部VRが構成され、この垂直転送レジスタ部VRと受光部間に存するp形領域にて読み出しゲート部RGが構成される。

【0009】

【発明が解決しようとする課題】ところで、従来における上記埋め込み領域を有する固体撮像素子等の半導体装置においては、埋め込み領域103を形成する場合、上述したように、基板101上にゲート絶縁膜107や種々の配線パターン108等を形成する前に、事前に基板101上に形成されたイオン注入用の酸化膜102（図7参照）のみを通して、不純物を基板101内に導入することにより、該基板101中に埋め込み領域103を形成するようにしている。

【0010】この場合、上記埋め込み領域103の形成位置は基板101の面方向に対して同一の深さであり、例えば、固体撮像素子についてみると、埋め込み領域103にて形成されるオーバーフローバリアは、基板表面側に形成される各機能部（受光部111、読み出しゲート部RG、垂直転送レジスタ部VR等）の諸機能に拘らず平面上どの点をとっても同じ深さであり、構造的に優れているとはいえない。

【0011】具体的に固体撮像素子を例に説明すると、従来は、上述したように、上層の転送電極108などの機能構造を形成する前に、埋め込み領域形成用の不純物

号電荷が蓄積されることになるが、オーバーフローバリアOBの頂点あるいはその近くまで信号した場合、オーバーフローバリアOBのボルトが緩やかであると、受光部111の実効でって最大蓄積電荷量が少くなり、また、の高さが低い横方向（読み出しゲート部RG）での結果蓄積電荷量の強い入射光量依存性という問題が生じる。

【0014】つまり、オーバーフローバリーシャル勾配が緩やかであると、熱運動、係から、オーバーフローバリアOBを飛行側にあふればじめるボテンシャル（いボテンシャルを有する電荷（この場合、101側に流れることなく、そのまま受光されたり、横方向に流出したりするこ

【0015】そのため、光電変換特性上、e）点以上の非線形特性領域における電極側にオーバーフローしにくうことになりに対する蓄積電荷量の入射光量依存性）度の劣化を引き起こすことになる。

【0016】一方、一般的に埋め込み領域を有する半導体装置においては、各機能部における機能向上のために、選択的な複数回のイオン注入）や並散によって別途ボテンシャル領域を形成するようしている。

【0017】このように、従来の半導体装置においては、形成される埋め込み領域の機能を十分に発揮することができず、また、機能向上のために別途に、製造工程の複雑化を工数の増大化をもれがあった。

【0018】本発明は、上記の課題に鑑みて、その目的とするところは、半導体装置における埋め込み領域の機能を基板上に形成する、各機能部に対応したものにすること、埋め込み領域の機能を十分に発揮させること、半導体装置を提供することにある。

【0019】また、本発明の他の目的は、に形成される半導体素子のデバイス特性を改善する、即ち、不純物導入回数を低減することができる、製

(4)

特開平8-
5

5

の発明)。

【0022】この場合、上記埋め込み領域を、上記半導体基板上に形成される半導体素子のデバイス特性に対応して深さ方向に変化を有するように構成してもよい(請求項2記載の発明)。

【0023】また、上記埋め込み領域を、蓄積期間に被写体からの入射光をその光量に応じた量の信号電荷に光変換する受光部と、電荷転送期間に上記信号電荷を出力側に転送する電荷転送部と、読み出し期間に上記受光部に蓄積されている上記信号電荷を上記電荷転送部に転送する読み出しゲート部とを有する固体撮像素子における上記信号電荷に対するポテンシャルバリアとして機能するウェル領域とし、かつ深さ方向が各部に対応して異なるように構成してもよい(請求項3記載の発明)。

【0024】また、上記半導体素子を、蓄積期間に被写体からの入射光をその光量に応じた量の信号電荷に光変換する受光部と、電荷転送期間に上記信号電荷を出力側に転送する電荷転送部と、読み出し期間に上記受光部に蓄積されている上記信号電荷を上記電荷転送部に転送する読み出しゲート部とを有する固体撮像素子とし、上記埋め込み領域を、上記信号電荷に対するポテンシャルバリアとして機能するウェル領域であって、かつ深さ方向が各部に対応して異なるように構成してもよい(請求項4記載の発明)。

【0025】また、上記受光部を、少なくとも上記ウェル領域を構成する上記埋め込み領域と該埋め込み領域から表面側に形成された第1導電形の不純物拡散領域とのpn接合を有して構成し、上記読み出しゲート部を、上記埋め込み領域から表面側に追従形成された別の第2導電形の不純物拡散領域にて構成し、上記電荷転送部を、上記埋め込み領域から表面に上記連続形成された上記別の第2導電形の不純物拡散領域を介してその表面側に形成された第1導電形の不純物拡散領域を有して構成するようにしてよい(請求項5記載の発明)。

【0026】次に、本発明に係る半導体装置の製造方法は、半導体基板上に半導体素子パターンを形成した後に、該半導体素子パターンを通して上記半導体基板内に不純物を導入して、該導入された不純物の拡散による埋め込み領域を形成する(請求項6記載の発明)。

【0027】この場合、上記半導体素子パターンを、蓄

【作用】請求項1記載又は請求項2記載(半導体装置においては、半導体基板内に)れる埋め込み領域が深さ方向に変化を有する半導体基板上に形成される半導体素子を各部の特性に応じた位置に埋め込み領域を設けるが可能となる。その結果、半導体基板中の埋め込み領域の機能を、基板上に形成された各機能部に対応したものにすることができる。各領域の機能を十分に発揮させることができ。

【0029】また、請求項3記載~請求項6記載に係る半導体装置においては、半導体基板上に形成される半導体素子を固体撮像素子としている。基板中に形成される埋め込み領域は、固体撮像素子に対するポテンシャルバリア、即ち、積量を規制・制御するためのオーバーパーフェクション機能するウェル領域となる。

【0030】この場合、上記ウェル領域が各部に対応して異なるようになっているため、各領域は、受光部、読み出しゲート部及び電荷転送部に応じた機能を有することになる。

【0031】具体的には、ウェル領域が各部において該受光部を包むように形成され、各領域にて形成されるポテンシャルバリア(勾配が急峻な特性を有することになる)は、各部にて蓄積される信号電荷の蓄積量(最大量)を増やすことができ、信号電荷の熱の関係からポテンシャルバリアの頂点を上げて、確実に基板側に流出することになる。

【0032】そのため、受光部の光電変換率(knee point)以上の非線形特性領域には受光部に蓄積されないことになり、しきい値の範囲を大きくとることが可能となる。しきい値以上に対する蓄積電荷量の入射光量依存性、感度の向上を図ることができる。

【0033】次に、請求項6記載の本発明の製造方法においては、まず、半導体素子パターンを形成する。その後、このパターンを通して半導体基板内に不純物を導入して、この導入された不純物の拡散による埋め込み領域を形成する。

(5)

7

領域の機能を十分に發揮させることが可能となる。また、半導体基板上に形成される半導体素子のデバイス特性向上のための不純物導入回数を低減することができ、製造工程の簡略化及び工数削減を図ることができる。

【0036】また、請求項7記載の本発明に係る半導体装置の製造方法においては、半導体基板上に固体撮像素子の転送電極を形成した後に、この転送電極を通して半導体基板内に不純物を導入する。そして、この導入された不純物の拡散による埋め込み領域を形成する。

【0037】このため、半導体基板上に固体撮像素子を形成した場合、半導体基板の表面に形成された固体撮像素子を構成する受光部、読み出しがート部及び電荷転送部の各機能部下に、上記転送電極のパターンに応じて深さの異なる埋め込み領域が形成されることになる。即ち、埋め込み領域は、深さ方向に変化を有することになり、固体撮像素子を構成する各機能部の特性に応じた位置に埋め込み領域が形成されることになる。

【0038】これにより、埋め込み領域が受光部の下部において該受光部を包むように形成され、しかも、埋め込み領域にて形成されるポテンシャルバリアのポテンシャル勾配が急峻な特性を有することになる。その結果、受光部にて蓄積される信号電荷の蓄積量（最大信号電荷蓄積量）を増やすことができ、信号電荷の熱運動エネルギーの関係からポテンシャルバリアの頂点を超える信号電荷は、確実に基板側に流出することになる。

【0039】そのため、受光部の光電変換特性上、ニードル（knee）点以上の非線形特性領域における信号電荷は受光部にて蓄積されにくうことになり、しかも、線形特性領域の範囲を大きくとることが可能となるため、飽和光量以上に対する蓄積電荷量の入射光量依存性が良好になり、感度の向上を図ることができる。

【0040】また、上述のことからわかるように、各機能部の特性を向上させるための複数回にわたる不純物導入を最小限に抑えることが可能となるため、特性向上のための工程が大幅に低減され、製造工程の低減化及び工数の削減化を実現させることができる。

【0041】

【実施例】以下、本発明に係る半導体装置及びその製造方法を例えればフレーム・インターライン転送（F.I.T.）方式のCCDイメージセンサに適用した実施例（以下、

特開平8-

8

シスタ2に連続してそれぞれ多数本の垂直転送レジスタ4のみが延長形成されたストレージ部5。【0043】また、ストレージ部5に隣接する垂直転送レジスタ4に対して共通とする水平転送レジスタ2本、それと並設されている水平転送レジスタのうち、ストレージ部5に隣接する水平転送レジスタを第1の水平転送レジスタとし、他の水平転送レジスタを第2の水平転送レジスタと記す。

【0044】そして、ストレージ部5と第1の垂直転送レジスタVH1間に、ストレージ部5に隣接する垂直転送レジスタ4の最終段に転送された信号電荷を第1の水平転送レジスタVH1に転送するための2つ（第1の水平転送レジスタVH1及びVH2）が多数の垂直転送レジスタ4に対して共通に、かつそれと並列にする。これら2本の垂直-水平転送レジスタVH1及びVH2には、それぞれ垂直-水平転送バルスVH1及びVH2が供給されるようになっており、バルスVH1及びVH2の供給によって、シグナル4からの信号電荷が第1の水平転送レジスタVH1に転送されることになる。

【0045】また、第1及び第2の水平転送レジスタVH1及びVH2間に、第1の水平転送レジスタVH1に隣接する信号電荷を選択的に第2の水平転送レジスタVH2に転送する水平-水平転送レジスタHH1が設けられ、第1及び第2の水平転送レジスタVH1及びVH2に沿って水平分配されている。この水平-水平転送レジスタHH1は、第1の水平転送レジスタVH1に隣接する信号電荷を第2の水平転送レジスタVH2に転送するための水平-水平転送バルスHHGが供給されており、この転送バルスHHGの供給によって、第1の水平転送レジスタVH1に隣接する信号電荷が第2の水平転送レジスタVH2に転送される。

【0046】また、上記第1及び第2の水平転送レジスタVH1及びVH2の各最終段には、それぞれの出力部6a及び6bが接続されている。即ち、第1の出力部6a及び6bは、各水平転送レジスタVH1及びVH2の最終段から転送されてきた信号（例えば電圧信号）に変換する例え

46 グ・ディフュージョンあるいはフローティング等で構成される電荷-電気信号変換部7。

【0047】また、上記第1及び第2の水平転送レジスタVH1及びVH2の各最終段には、それぞれの出力部6a及び6bが接続されている。即ち、第1の出力部6a及び6bは、各水平転送レジスタVH1及びVH2の最終段から転送されてきた信号（例えば電圧信号）に変換する例え

47 グ・ディフュージョンあるいはフローティング等で構成される電荷-電気信号変換部7。

(6)

9

して、その組が多数、縦方向に順次配列されて形成されている。そして、イメージ部3における4枚の垂直転送電極には、互いに位相の異なる4つの垂直転送パルス ϕ IM1～ ϕ IM4がそれぞれ供給され、ストレージ部5における4枚の垂直転送電極には、互いに位相の異なる4つの垂直転送パルス ϕ ST1～ ϕ ST4がそれぞれ供給されるようになっている。

【0048】これらイメージ部3における垂直転送パルス ϕ IM1～ ϕ IM4及びストレージ部5における4つの垂直転送パルス ϕ ST1～ ϕ ST4の供給によって、イメージ部3及びストレージ部5における各垂直転送電極下のポテンシャル分布が順次変化し、これによって、信号電荷がそれぞれイメージ部3における垂直転送レジスタ2及びストレージ部5における垂直転送レジスタ4に沿って縦方向（第1の水平レジスタH1側）に転送されることになる。

【0049】特に、イメージ部3においては、受光部1に蓄積されている信号電荷を垂直帰線期間において、まず、垂直転送レジスタ2に読み出し、その後、この垂直帰線期間内において、上記垂直転送レジスタ2に転送された信号電荷を高速にストレージ部5の垂直転送レジスタ4に転送する。

【0050】ストレージ部5は、垂直帰線期間において垂直転送レジスタ4に転送された信号電荷を、その後の水平帰線期間において1行単位に第1の水平転送レジスタH1側に転送する。これによって、垂直転送レジスタ4の最終段にあった信号電荷は、2つの垂直-水平転送レジスタVH1及びVH2を経て、まず、第1の水平転送レジスタH1に転送され、そのうち、例えば偶数列に関する信号電荷が、水平-水平転送レジスタHHを介して第2の水平転送レジスタH2に転送される。

【0051】そして、次の水平走査期間において、第1及び第2の水平転送レジスタH1及びH2上に形成された例えば2層の多結晶シリコン層による水平転送電極への互いに位相の異なる2相の水平転送パルス ϕ H1及び ϕ H2の印加によって、信号電荷が順次対応する出力部6a及び6b側の電荷-電気信号変換部7に転送され、各電荷-電気信号変換部7において電気信号に変換されて、それアンド ϕ 8を介して対応する出力端子9より画像信号S1及びS2として取り出されることになる。

特開平8-10

10

領域17がそれぞれ形成されている。な物並散領域13と転送チャネル領域1417は、読み出しゲート部RGを構成する。【0053】また、このイメージセンサ1417に、n形シリコン基板11の表面にpウェル領域12を形成して、この埋め込みよりも浅い位置に上記受光部1を構成する。拡散領域13を形成することで、いわゆる機能を有するように構成されている。

【0054】即ち、シリコン基板11に17位をシャッターパルスに同期して高レベルより、p形の埋め込みウェル領域12にチャル隔壁（オーバーフローバリア）が下に蓄積された電荷（この場合、電子）がローバリアを越えて縦方向、即ちシリコンを掃き捨てられることになる。これにより、次の最終印加時点から電荷読み出し時点までの露光期間となり、残像等の不都合ができるようになっている。

【0055】また、このイメージセンサ1417にn形の不純物並散領域13とp形の埋め込み領域12とのpn接合によるフォトダイオード、純物並散領域13と読み出しゲート部RGによるフォトダイオード、n形の不純物並散領域13とp形の埋め込み領域12とのpn接合によるフォトダイオード、並びにn形の不純物拡散領域13とp形の不純物並散領域16とのpn接合によるフォトダイオード受光部1（光電変換部）が構成され、が多数個マトリクス状に配列されて撮像している。そして、カラー撮像方式の場合、に対応して形成される色フィルタ（三原色フィルタ）の配色などの関係によって、隣接する4つの受光部1にて1つの画素になっている。

【0056】また、転送チャネル領域1417、トッパ領域15及び読み出しゲート部RGからなるゲート絶縁膜18を介して、シリコン層及び2層目の多結晶シリコンの転送電極が形成され、これら転送チャネル領域1417及び転送電極によ

(7)

11

D法によるSiN膜23が形成されている。

【0058】上記A1遮光膜22は、受光部1上において選択的にエッチング除去されており、光は、このエッチング除去によって形成された開口22aを通じて受光部1内に入射されるようになっている。

【0059】なお、図2の断面図においては、簡単のため、A1遮光膜22上の平坦化膜、色フィルタ及びマイクロ集光レンズなどは省略してある。

【0060】そして、この実施例に係るイメージセンサにおいては、p形の埋め込みウェル領域12の深さ方向が、受光部1下、読み出しゲート部RG下及び垂直転送レジスタ2下において、それぞれ異なるものとなっており、特に、受光部1下においては、該受光部1を3次元的に包み込むように上記埋め込みウェル領域12が形成されている。

【0061】ここで具体的に、上記実施例に係るイメージセンサの製造方法を図3及び図4の製造工程図に基づいて説明する。なお、図2と対応するものについては同符号を記す。

【0062】まず、図3Aに示すように、n形のシリコン基板11内に、イオン注入用絶縁膜31を介してp形の不純物（例えばボロン（B））を例えればイオン注入により導入して、表面まで達するp形のウェル領域32を形成する。

【0063】次に、図3Bに示すように、上記p形ウェル領域32に、p形の不純物（例えばボロン（B））を例えればイオン注入により選択的に導入して、p形ウェル領域32の表面に高濃度のp形のチャネルストップ領域15を形成し、その後、再度p形の不純物をイオン注入により選択的に導入して第2のp形ウェル領域17を形成する。その後、上記第2のp形ウェル領域17の表面にn形の不純物（例えればリン（P）や砒素（As）等）を例えればイオン注入により選択的に導入して、第2のp形ウェル領域17の表面にn形の転送チャネル領域14を形成する。

【0064】次に、図3Cに示すように、イオン注入用絶縁膜31を除去した後、転送チャネル領域14上に例えればSiO₂等からなるゲート絶縁膜18を形成し、その後、このゲート絶縁膜18を介して多結晶シリコン層による転送電極19を形成する。その後、熱酸化を施し、

(8)

12

ル領域12を形成する。

【0066】この場合、転送チャネル領域19が存在することから、転送チャネルへの不純物導入は、上記転送電極19を下ることになり、転送チャネル領域14下の導入位置は、転送電極19の厚みの関係なる部分下における不純物導入位置よりも、

【0067】従って、上記埋め込みウェル領域12となる部分、読み出しゲート部RG及び転送チャネル領域14下において連続しても、その深さ方向は各部分下においてこととなる。

【0068】また、読み出しゲート部RG、チャネルストップ領域15に対応する部分の転送電極19の形成端が存在することから、ウェル領域12の形成状態は、側面（E）傾斜した状態となる。即ち、図示の例ではウェル領域12は、受光部1となる部分に最も深く、転送チャネル領域14に対応する部分で最も浅く形成され、上記チャネルストップ領域15に対応する部分がこれら2位置に形成された埋め込みウェル領域12のような形（傾斜状態）に形成されること。

【0069】また、図示しないが、選択素子分離がなされている場合は、その素子（イールド絶縁層下にも該絶縁層の厚みに）間に埋め込みウェル領域12が形成され、

【0070】なお、上記不純物のイオン注入は、シリコン基板11の表面に形成され、18がイオン注入による照射損傷を吸収する層として機能する。

【0071】ここで、上記高エネルギー注入エネルギーは、本実施例に係るが可視光を受光する素子である場合は、1界（約800nm）により決定する。例えれば、ボロン（B）の場合、約1MeV（板表面より約1.7μm）である。

【0072】イメージセンサとして長波長ためには、ボロン（B）の場合、約31

(8)

特開平8-

13

物（例えばボロン（B））をイオン注入により選択的に導入して、n形の不純物拡散領域13の表面にp形の正孔蓄積領域16を形成する。

【0074】次に、図4Cに示すように、全面に層間絶縁膜であるPSG膜21を厚み200～400nm程度、例えばCVD法により形成する。その後、全面にA1遮光膜22を形成した後、例えば垂直モードによるRIE（反応性イオンエッティング）でA1遮光膜22をパターニングして受光部開口22aを形成する。

【0075】そして、図2に示すように、A1遮光膜22を含む全面に表面保護用のシリコン塗化膜23を厚み300～500nm程度、例えばCVD法にて成膜する。このシリコン塗化膜23及び下層のPSG膜21にて受光部1上のバッシャーベーション膜が構成されることになる。これ以降の工程は通常のCCDプロセスと同じであるため、その説明は省略する。

【0076】このように、上記実施例に係るイメージセンサにおいては、受光部1下に形成されるn形の埋め込みウェル領域12の形成を、シリコン基板11上にゲート絶縁膜18を介して形成された転送電極19を通してp形の不純物を高エネルギーイオン注入にてシリコン基板11中に導入することにより行なうようにしている。

【0077】この埋め込みウェル領域12は、受光部1に蓄積される信号電荷に対するボテンシャルバリア、即ち、信号電荷の蓄積量を規制・制御するためのオーバーフロバリアとして機能する領域となる。

【0078】この場合、上記埋め込みウェル領域12の深さ方向が各部に対応して異なるようになっているため、この埋め込みウェル領域12は、受光部1、読み出しゲート部RG及び垂直転送レジスタ2の各特性に応じた機能を有することになる。

【0079】具体的には、埋め込みウェル領域12が受光部1の下部において該受光部1を包むように形成されることになり、図5及び図6に示すように、上記埋め込みウェル領域12にて形成されるボテンシャル井戸は、従来の場合（図9及び図10参照）と比して深くなり、そのオーバーフロバリアOBのボテンシャル勾配は急峻な特性を有することになる。

【0080】その結果、受光部1にて蓄積される信号電荷の蓄積量（最大信号電荷蓄積量）を増やすことがで

10

14

【0081】そのため、受光部1の光電二（knee）点以上の非線形特性領域（尚ほ受光部1に蓄積されないことになり、特性領域の範囲を大きくとることが可能、和光量以上に対する蓄積電荷量の入射光になり、感度の向上を図ることができる。

【0082】そして、上述のことから、ノードを射した場合に、信号電荷が読み出しゲート1を垂直転送レジスタ2側に流出するといふれば、ブルーミング（電荷溢れ）耐性が改善することが可能となる。

【0083】また、信号電荷は、受光部バーフローバリアOB以上に蓄積されるため、垂直転送レジスタ2にて転送する信号電荷は受光部1に蓄えられる最大蓄積電荷量（尚ほほど大きくする必要がない。その送レジスタ及び水平転送レジスタを構成する領域の形成が容易になり、該レジスタ電荷量も小さくて済む。

20

【0084】また、転送電極19を通してエネルギーイオン注入によって、各部の機の埋め込みウェル領域12を形成するため、従来の複数枚のマスクを用いたイオノする場合と比して、製造工程の簡略化及び効率化が図ることができる。

30

【0085】上記実施例に係るイメージセンサは、フレーム・インターライン転送（FIL）方式のイメージセンサに適用した例を示したが、一ライン転送（IT）方式のイメージセンサができる。この場合、図1で示す5を省略して構成すればよい。その他、これが一次元的に配列され、これら受光部列成された転送レジスタとの間に読み出しゲートをいわゆるラインセンサーにも適用させる。

【0086】また、固体撮像素子のほか、み領域を有するMOS-FETや、例えの低減化等を目的とした埋め込み領域をランジスタ又はMOSトランジスタにお用させることができる。例えば、MOSトランジスタは、基板上に素子分離用の溝状酸化によ

(9)

特開平8-

15

の機能を、基板上に形成される半導体素子の各機能部に対応したものにすることができる、上記埋め込み領域の機能を十分に發揮させることが可能となる。

【0088】また、請求項3記載～請求項5記載の本発明に係る半導体装置によれば、受光部、読み出しゲート部及び電荷転送部の各特性に応じた機能を有する埋め込み領域を形成することが可能となり、受光部にて蓄積される信号電荷の蓄積量（最大信号電荷蓄積量）を増やすことができ、しかも、飽和光量以上に対する蓄積電荷量の入射光量依存性が良好になり、感度の向上を図ることができる。

【0089】また、請求項6記載の本発明に係る半導体装置の製造方法によれば、埋め込み領域は、深さ方向に変化を有することになり、半導体素子を構成する各機能部の特性に応じた位置に埋め込み領域を形成することが可能となる。その結果、半導体基板中に形成される埋め込み領域の機能を、基板上に形成される半導体素子の各機能部に対応したものにすることができる、上記埋め込み領域の機能を十分に發揮させることができると、また、半導体基板上に形成される半導体素子のデバイス特性向上のための不純物導入回数を低減することができ、製造工程の簡略化及び工数削減を図ることができる。

【0090】また、請求項7記載の本発明に係る半導体装置の製造方法によれば、埋め込み領域が深さ方向に変化を有することになり、固体撮像素子を構成する各機能部の特性に応じた位置に埋め込み領域が形成されることになる。これにより、受光部にて蓄積される信号電荷の蓄積量（最大信号電荷蓄積量）を増やすことができ、しかも、飽和光量以上に対する蓄積電荷量の入射光量依存性が良好になり、感度の向上を図ることができる。また、各機能部の特性を向上させるための複数回にわたる不純物導入を最小限に抑えることが可能となるため、特性向上のための工程が大幅に低減され、製造工程の低減化及び工数の削減化を実現させることができると。

【図面の簡単な説明】

* 【図1】本発明に係る半導体装置を例え、インターライン転送（F！T）方式のCCDに適用した実施例（以下、実施例に係る記す）を示す構成図である。

【図2】本実施例に係るイメージセンサ（周辺部分の構成を示す断面図である。

【図3】本実施例に係るイメージセンサ（工程図（その1）である。

【図4】本実施例に係るイメージセンサ（工程図（その2）である。

【図5】図2におけるA-A'線上の点を示す特性図である。

【図6】図2におけるB-B'線上の点を示す特性図である。

【図7】従来の埋め込み領域の形成方法である。

【図8】従来例に係るイメージセンサの周辺部分の構成を示す断面図である。

【図9】図8におけるA-A'線上の点を示す特性図である。

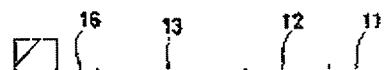
【図10】図8におけるB-B'線上の点を示す特性図である。

【符号の説明】

- 1 受光部
- 2 垂直転送レジスタ
- 11 n形のシリコン基板
- 12 p形の埋め込みウェル領域
- 14 n形の転送チャネル領域
- 15 p形のチャネルストップ領域
- 16 p形の正孔蓄積領域
- 18 ゲート絶縁膜
- 19 転送電極
- 22 A！遮光膜
- R G 読出しゲート部

*

【図5】



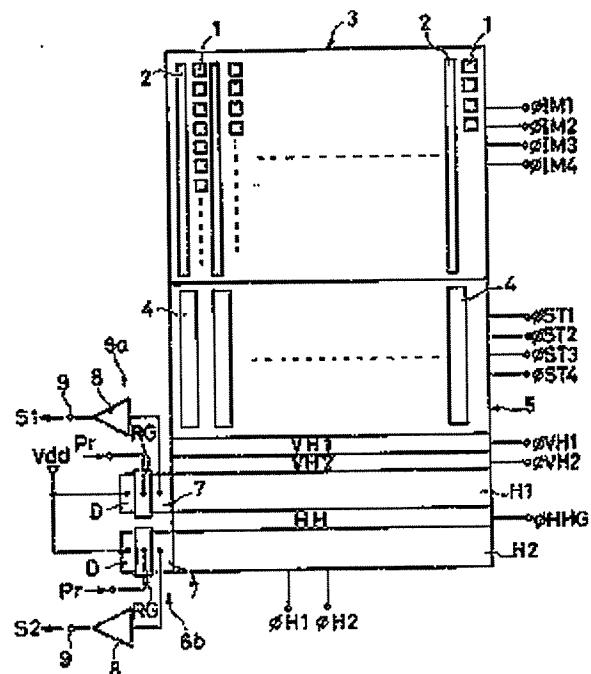
【図6】



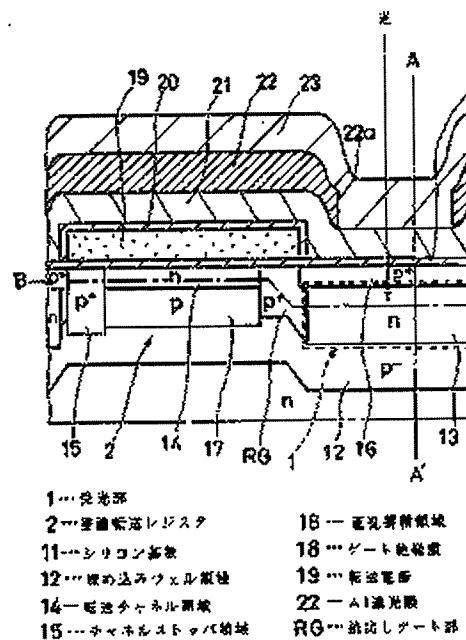
(10)

特開平8-

【図1】



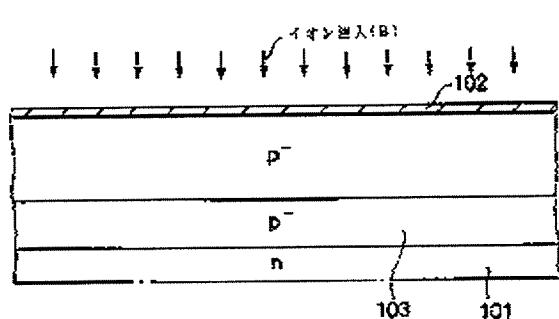
【図2】



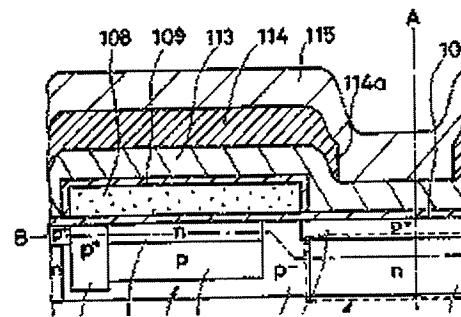
本実施例のイメージ図

本実施例の発光部とその周辺部分

【図7】



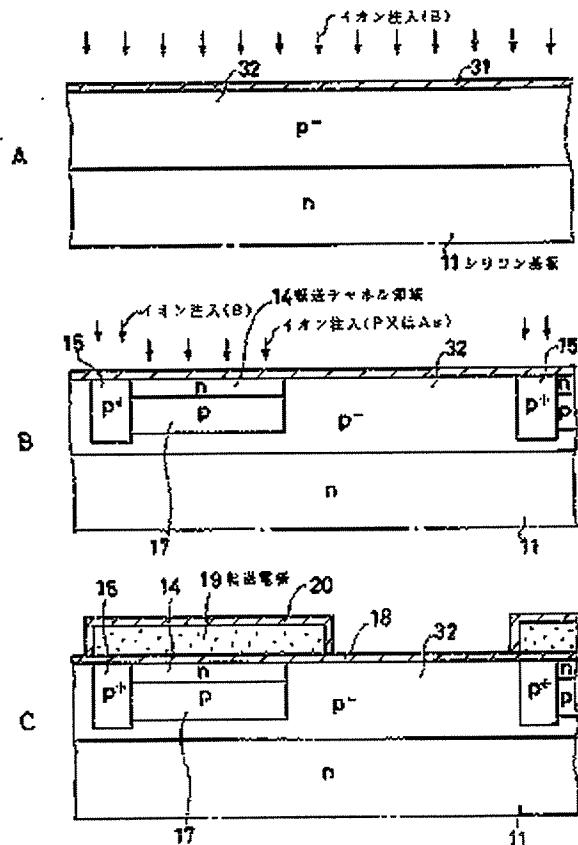
【図8】



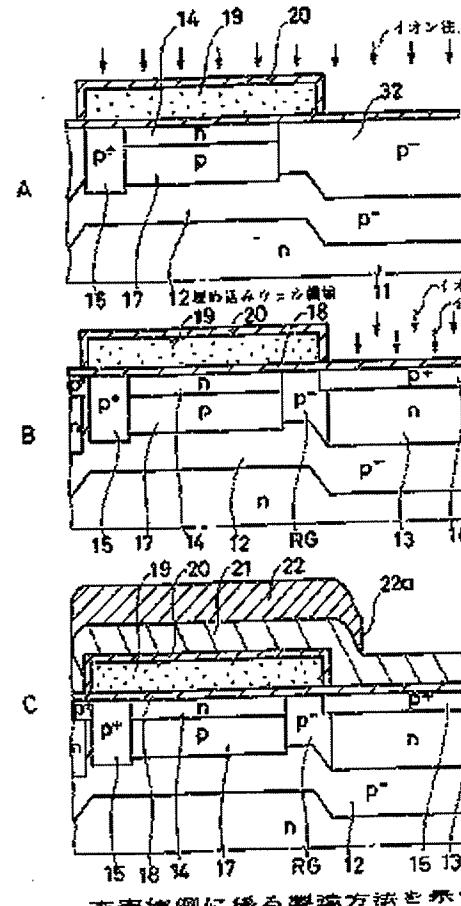
(11)

特開平8-

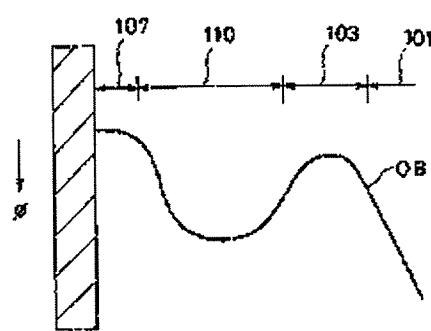
【図3】

本実施例に係る製造方法を示す
工程図(その1)

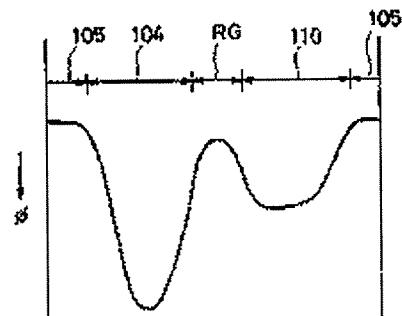
【図4】

本実施例に係る製造方法を示す
工程図(その2)

【図9】



【図10】



特開平8-

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成13年9月14日(2001.9.14)

【公開番号】特開平8-213582

【公開日】平成8年8月20日(1996.8.20)

【年造号数】公開特許公報8-2136

【出願番号】特願平7-16167

【国際特許分類第7版】

H01L 27/145

21/265

H04N 1/19

【F I】

H01L 27/14 A

21/265 Y

H04N 1/04 102

【手続補正書】

【提出日】平成12年11月16日(2000.11.16)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正内容】

【0082】そして、上述のことから、上記の構成によれば、垂直搬送レジスタ2側に流出するという問題が発生する。そこで、本発明は、上記の構成によれば、ブルーミング(画面溢れ)耐性を改善する目的を達成する。すなはち、本発明は、上記の構成によれば、垂直搬送レジスタ2側に流出するという問題が発生する。そこで、本発明は、上記の構成によれば、ブルーミング(画面溢れ)耐性を改善する目的を達成する。